

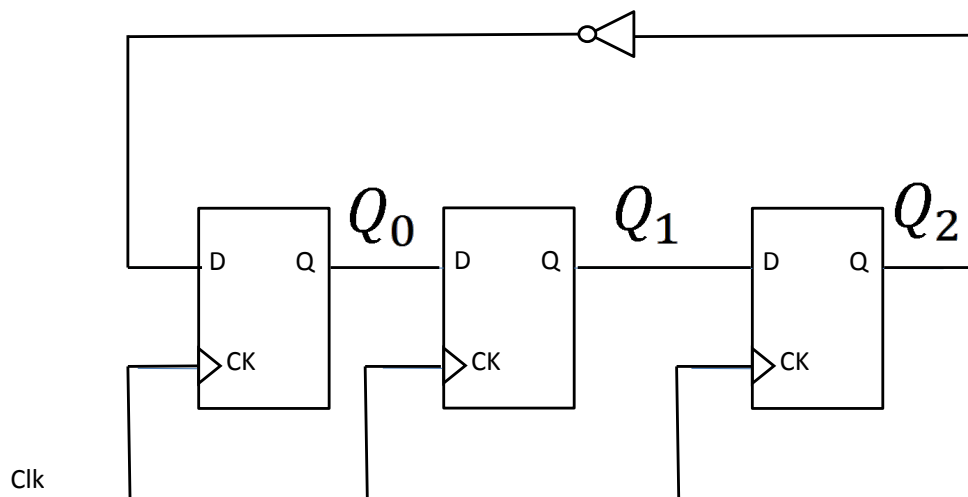
Einführung in die Technische Informatik WS 2010/2011

Blatt 8: Speicherbausteine und Addierwerke

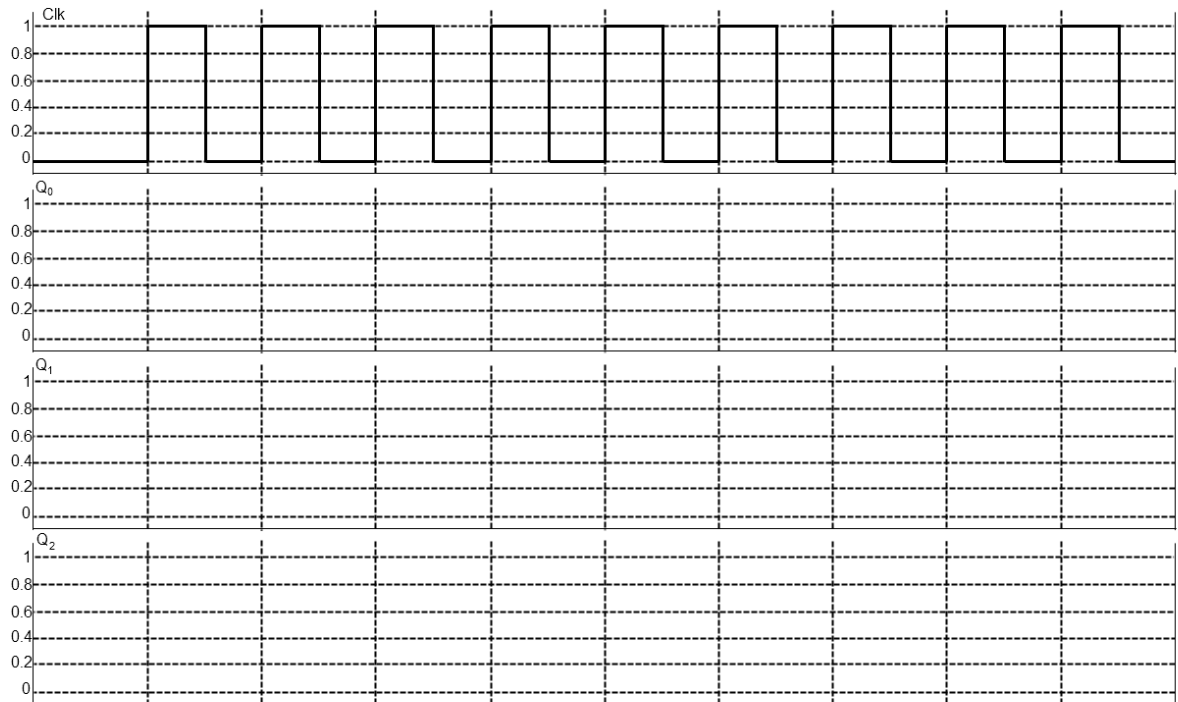
Ihre Lösung zu den mit (★) gekennzeichneten Übungen sollen Sie am **10.12.2010** in der Übung abgeben. Die Bearbeitung der Aufgaben in Lerngruppen ist sinnvoll. Bitte geben Sie nur eine Lösung pro Lerngruppe ab.

Aufgabe 1: (★) Signalverlauf

Gegeben sei die folgende Schaltung:



- a) Vervollständigen Sie den folgenden Signalverlauf. Gehen Sie dabei davon aus, dass zu Beginn Q_0 , Q_1 und Q_2 den Wert 0 haben.



- b) Die Variablen Q'_2 , Q'_1 und Q'_0 bezeichnen die neuen Werte von Q_2 , Q_1 , Q_0 nach einem Takt.

Ergänzen Sie die folgende Tabelle:

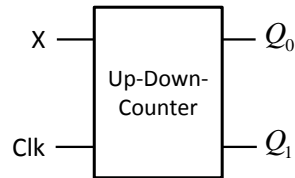
Aktuelle Zustände			Nächste Zustände		
Q_2	Q_1	Q_0	Q'_2	Q'_1	Q'_0
0	0	0			
0	0	1			
0	1	0			
0	1	1			
1	0	0			
1	0	1			
1	1	0			
1	1	1			

- c) Mit jedem Takt werden die Belegungen von Q_2 , Q_1 und Q_0 geändert. Abhängig von der Anfangsbelegung von Q_2 , Q_1 und Q_0 sind verschiedene Verläufe möglich. Geben Sie alle möglichen Verläufe als Zustandsdiagramme an.

Hinweis: Gemeint sind Läufe der Form $Q_2Q_1Q_0 \rightarrow Q'_2Q'_1Q'_0 \rightarrow Q''_2Q''_1Q''_0 \rightarrow \dots$. Verwenden Sie hierzu die Ergebnisse der Teilaufgabe b).

Aufgabe 2: (★) Flip-Flops

In dieser Aufgabe sollen Sie einen 2-Bit Up-Down-Counter mit Hilfe von zwei D-Flip-Flops konstruieren. Das untere Bild zeigt den gesuchten Zähler als Black-Box (also ohne das Innenleben zu offenbaren).



- a) Das Verhalten des Zählers kann mit einer Tabelle wie der folgenden angegeben werden. Dabei ist Q_1 das *msb*¹ und Q_0 das *lsb* der dargestellten Zahl. Die Ausgaben Q'_1 und Q'_0 sind die neuen Zustände von Q_1 und Q_0 nach einem Takt und sind abhängig von X , Q_1 und Q_0 . Bei $X = 0$ soll der Zähler hoch- und bei $X = 1$ runterzählen.

Vervollständigen Sie die folgende Tabelle:

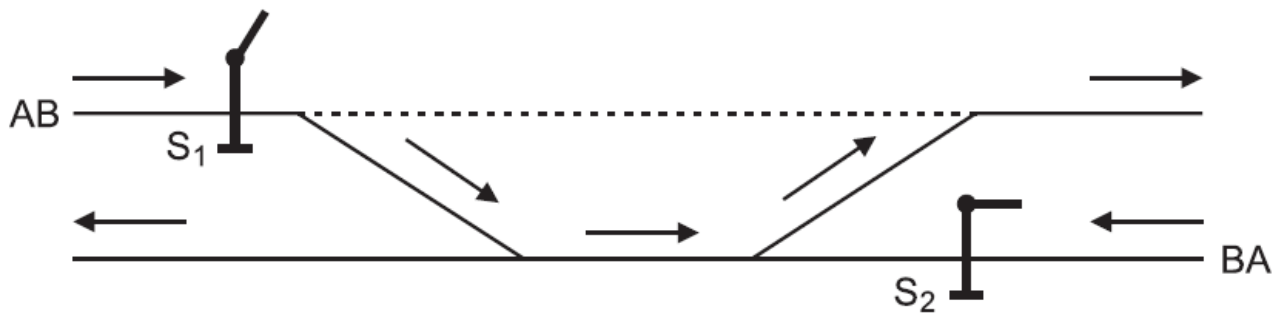
Aktuelle Zustände			Nächste Zustände	
X	Q_1	Q_0	Q'_1	Q'_0
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

- b) Finden Sie das Minimalpolynom zu Q'_1 und Q'_0 .
Hinweis: Zur Vereinfachung können Sie Karnaugh-Diagramme benutzen.
- c) Realisieren Sie den beschriebenen Zähler mit Hilfe von zwei D-Flip-Flops und den nötigen Gattern (zur Verfügung stehen beliebig viele: AND, OR, NOT, XOR, NAND).

Aufgabe 3: Schaltungsentwurf

Zwischen zwei Orten A und B gibt es eine Schienenverbindung mit zwei Gleiswegen AB und BA. Dabei nutzen von A nach B fahrende Züge den Gleisweg AB, während von B kommende Züge den Gleisweg BA befahren. Bauarbeiten auf einem Teilabschnitt von AB führen jedoch zu einer Ausnahmesituation, die in der folgenden Abbildung illustriert ist:

¹Most Significant Bit und Least Significant Bit.



Danach müssen AB befahrende Züge für einen kurzen Teilabschnitt auf den Gleisweg BA ausweichen. Der Zugverkehr auf diesem Teilabschnitt soll durch zwei einfache Signalanlagen S1 und S2 geregelt werden, die entweder 'freie Fahrt' oder 'unbedingter Halt' signalisieren können. Weiterhin sollte die Regelung derart erfolgen, dass die beiden Signalanlagen in ihren Signalen als Paar (S_1, S_2) aufgefasst stets in einem Zyklus die Zustände $(0, 0)$, $(1, 0)$, $(0, 0)$, $(0, 1)$ und wieder $(0, 0)$ durchlaufen, wobei 'freie Fahrt' mit 1 und 'unbedingter Halt' mit 0 codiert ist.

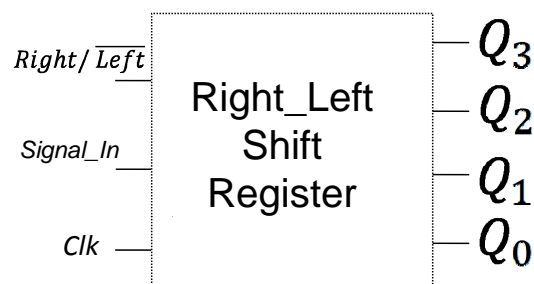
- Entwerfen Sie ein (Steuer-)Schaltwerk, das die beiden Signalanlagen in der beschriebenen Weise und unter Verwendung der angegebenen Codierung steuert.
- Demonstrieren Sie die Arbeitsweise Ihres Steuerwerks, indem Sie die Inhalte aller vorhandenen Delays vor und nach jedem Takt für einen kompletten Zyklus protokollieren.
- Erweitern Sie Ihr Steuerwerk um eine Steuerleitung Z, deren Wert darüber bestimmt, ob der regelnde Betrieb stattfindet oder ob die beiden Signalanlagen ständig auf 'unbedingter Halt' gesetzt sind.

Hinweis: Teil c) lässt sich mit zwei zusätzlichen Gattern realisieren.

Aufgabe 4: Schieberegister

Ziel dieser Aufgabe ist es, ein Schieberegister für 4-Bit Zahlen zu realisieren. Desweiteren soll die Möglichkeit gegeben werden, die Richtung des Shifts vorzugeben, wie auch das nachrückende Bit zu spezifizieren.

Im Folgenden ist das zu realisierende Schaltwerk als Black-Box dargestellt:



- a) Realisieren Sie das Schaltwerk. Sie benötigen dazu vier D-Flip-Flops, die die Werte von $Q_3Q_2Q_1Q_0$ speichern. Kümmern Sie sich zunächst nicht um die Initialisierung dieser Werte, nehmen Sie sie als gegeben an.

Ihr Schaltwerk muss im Wesentlichen folgendes leisten: Bei einem Taktsignal wird im Falle von $Right/\overline{Left} = 1$ nach rechts geschiftet und bei $Right/\overline{Left} = 0$ nach links geschiftet. Dabei wird $Signal_In$ auf die freiwerdende Stelle nachgeschoben. Ein Beispiel für $Right/\overline{Left} = 1$ und $Signal_In = 1$ wäre $0000 \rightarrow 1000$. Ein Beispiel für $Right/\overline{Left} = 0$ und $Signal_In = 1$ wäre $0000 \rightarrow 0001$. Ein anderes Beispiel für $Right/\overline{Left} = 0$ und $Signal_In = 0$ wäre $0010 \rightarrow 0100$.

- b) Wie können Sie mit Ihrem Schaltwerk das Register auf einen vorgegeben Wert initialisieren?
- c) Wie müssen Sie Ihr Schaltwerk erweitern/modifizieren, wenn Sie noch einen zusätzlichen Eingang $Mode$ berücksichtigen sollen, der festlegt, ob $Signal_In$ benutzt wird, oder ob 'im Kreis' geschiftet wird? Dabei legt $Right/\overline{Left}$ weiterhin die Richtung des Shiftens fest.

Aufgabe 5: (★) Addierwerke

- a) Demonstrieren Sie die Arbeitsweise eines Parallel-Addierwerks, eines Serien-Addierwerks und eines von-Neumann-Addierwerks (jeweils 4-Bit-Addierwerke) für die nacheinander ausgeführten Berechnungen $4 + 10$, $13 + 5$ und $10 + 10$, indem Sie die Inhalte vorhandener Delays schrittweise in einer Tabelle protokollieren.² Nehmen Sie hierbei an, dass das Übertragungs-Bit U jedes Addierwerks mit 0 initialisiert ist.

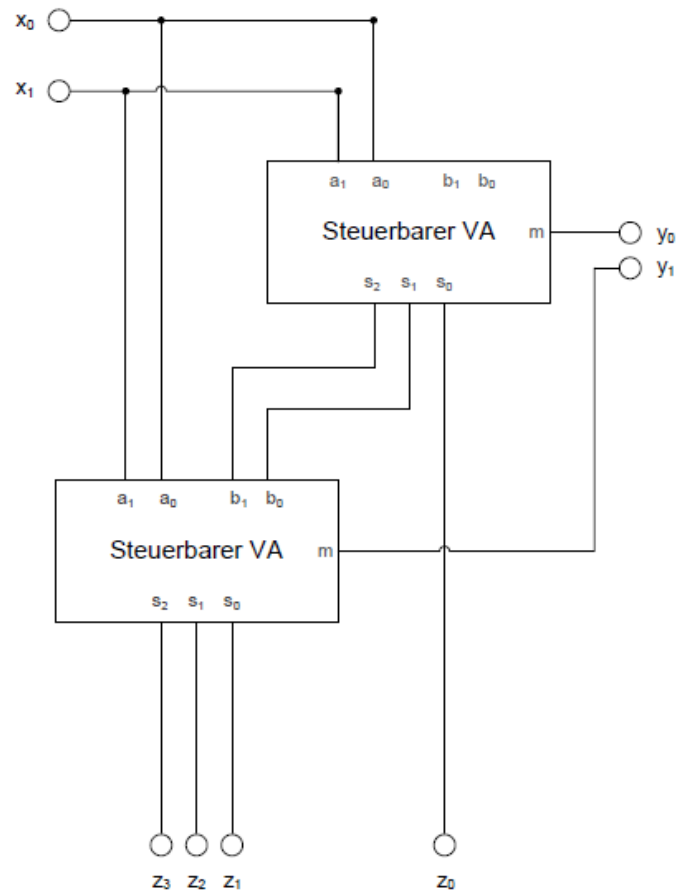
S	U	$P_3P_2P_1P_0$	dezimal	$A_3A_2A_1A_0$	dezimal(inkl. U)
0	0	0000	0	0000	0
1	0	0100	4	1010	10
...

- b) Nennen Sie für jedes der drei Addierwerke möglichst viele Vor- und Nachteile.

Aufgabe 6: Digitale Schaltungen

Betrachten Sie die folgende Schaltung:

²Das Status-Bit S entfällt bei Parallel- und Serien-Addierwerk.



Die beiden steuerbaren Volladdierer besitzen zwei Eingänge für zwei zweistellige binäre Zahlen (a_1, a_0) und (b_1, b_0) , die entsprechend der Vorlesung addiert werden, falls der Steuereingang $m = 1$ ist. Eingang (a_1, a_0) wird abgeschaltet (d.h. $a_1 = a_0 = 0$), sobald der Steuereingang $m = 0$ ist. Das Ergebnis wird jeweils in (s_2, s_1, s_0) geschrieben.

- Stellen Sie die Wertetabelle für die Schaltfunktion $F((x_1, x_0), (y_1, y_0)) = (z_3, z_2, z_1, z_0)$ auf.
- Welche Funktion wird durch F realisiert?
- Formulieren Sie mit eigenen Worten die Funktionsweise der Schaltung.