

Professor Dr.-Ing. Stefan Kowalewski
Dipl.-Inform. Andreas Polzer
Dipl.-Inform. Ralf Mitsching

Aachen, 17. November 2006
SWS: V2/Ü2, ECTS: 4

Einführung in die Technische Informatik

WS 2006/2007

Blatt 4: Addierwerke, Latches und Zahlendarstellung

Ihre Lösung zu den mit (★) gekennzeichneten Übungen sollen Sie am **24.11.2006** in der Übung abgeben. Die Bearbeitung der Aufgaben in Lerngruppen ist sinnvoll. Bitte geben Sie nur eine Lösung pro Lerngruppe ab.

Aufgabe 1: Rechenschritte bei Addierwerken

Beantworten Sie die folgenden Fragen jeweils für ein n -Bit-Parallel-Addierwerk, ein n -Bit-Serien-Addierwerk und ein n -Bit-von-Neumann-Addierwerk, und tragen Sie die Antworten in eine Tabelle ähnlich der untenstehenden ein.

- Wie viele Delays und wie viele Halbaddierer werden für das n -Bit-Addierwerk benötigt? Rechnen Sie dabei mit zwei Halbaddierern für einen Volladdierer.
- Wieviele Schritte benötigt das n -Bit-Addierwerk zur Addition zweier Summanden
 - im schlechtesten Fall (im „worst case“)?
 - durchschnittlich (im „average case“)?
 - im besten Fall (im „best case“)?

Nehmen Sie dabei an, dass das Laden der zwei zu addierende Summanden in Akkumulator und Puffer des n -Bit-Addierwerks bereits geschehen ist. (Beachten Sie, dass dabei auch das Übertrags-Delay U (mit 0) und ggf. das Status-Delay S (mit 1) geladen werden.)

- Welche „Addierzeit“ (= Schritte \times Taktzeit) hat das n -Bit-Addierwerk? Entnehmen Sie dabei die Taktzeit des n -Bit-Addierwerks aus der untenstehenden Tabelle.

Vergleichen Sie die Vor- und Nachteile der verschiedenen n -Bit-Addierwerke hinsichtlich Hardwareaufwand und Addierzeiten.

		n -Bit-Addierwerk		
		Parallel	Serien	von-Neumann
Hardware	Delays			
	Halbaddierer			
Schritte	schlechtester Fall			
	durchschnittlich			
	bester Fall			
Taktzeit in psec		$28 + 14n$	56	35
Addierzeit	schlechtester Fall			
	durchschnittlich			
	bester Fall			

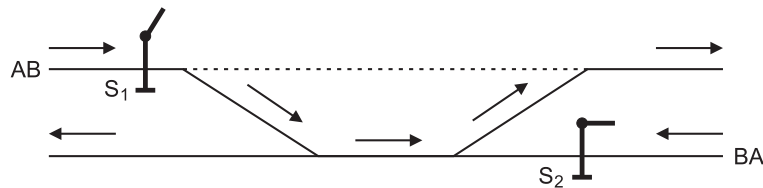
Bemerkung:

Die in der Tabelle angegebene Taktzeit des Parallel-Addierwerks gilt eigentlich nur für $n \geq 2$; für $n = 1$ wäre sie 56 und nicht $28 + 14 \cdot 1 = 42$.

Man kann bei Addierwerken aber davon ausgehen, dass n größer als 2 ist.

Aufgabe 2: (★) Schaltungsentwurf

Zwischen zwei Orten A und B gibt es eine Schienenverbindung mit zwei Gleiswegen AB und BA. Dabei nutzen von A nach B fahrende Züge den Gleisweg AB, während von B kommende Züge den Gleisweg BA befahren. Bauarbeiten auf einem Teilabschnitt von AB führen jedoch zu einer Ausnahmesituation, die in der folgenden Abbildung illustriert ist:



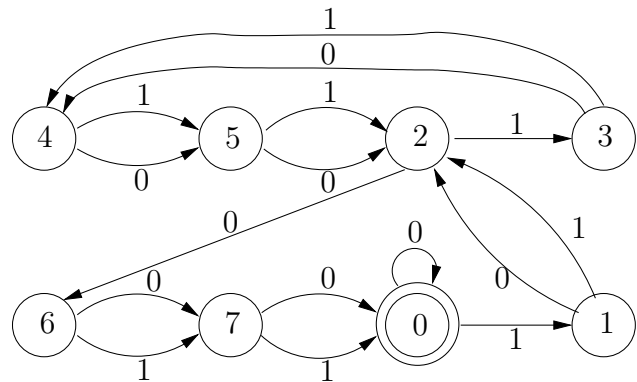
Danach müssen AB befahrende Züge für einen kurzen Teilabschnitt auf den Gleisweg BA ausweichen. Der Zugverkehr auf diesem Teilabschnitt soll durch zwei einfache Signalanlagen S_1 und S_2 geregelt werden, die entweder „freie Fahrt“ oder „unbedingter Halt“ signalisieren können. Weiterhin sollte die Regelung derart erfolgen, dass die beiden Signalanlagen in ihren Signalen als Paar (S_1, S_2) aufgefasst stets in einem Zyklus die Zustände $(0, 0)$, $(1, 0)$, $(0, 0)$, $(0, 1)$ und wieder $(0, 0)$ durchlaufen, wobei „freie Fahrt“ mit 1 und „unbedingter Halt“ mit 0 codiert ist.

- Entwerfen Sie ein optimiertes (= minimiertes) (Steuer-)Schaltwerk, das die beiden Signalanlagen in der beschriebenen Weise und unter Verwendung der angegebenen Codierung steuert.
- Demonstrieren Sie die Arbeitsweise Ihres Steuerwerks, indem Sie die Inhalte aller vorhandener Delays vor und nach jedem Takt für einen kompletten Zyklus protokollieren.
- Erweitern Sie Ihr Steuerwerk um eine Steuerleitung Z , deren Wert darüber bestimmt, ob der regelnde Betrieb stattfindet oder ob die beide Signalanlagen ständig auf „unbedingter Halt“ gesetzt sind.

Hinweis: Dies sollte sich mit zwei zusätzlichen Gattern realisieren lassen.

Aufgabe 3: Schaltungsentwurf

Gegeben sei der nebenstehende Graph, der eine (vereinfachte) Ampelsteuerung für eine Haupt- und eine Nebenstraße beschreibt. Die Ampelanlage kann dabei sowohl im Tag- als auch im Nachtmodus (d.h.: Ampel der Hauptstraße abgeschaltet, Ampel der Nebenstraße gelb blinkend) betrieben werden.



Die im Graph nummerierten Zustände der Ampelanlage haben die folgende Bedeutung:

Zustand	Ampel Hauptstraße	Ampel Nebenstraße
0	aus	gelb blinkend
1	gelb	gelb blinkend
2	rot	grün
3	gelb und rot	gelb
4	grün	rot
5	gelb	gelb und rot
6	rot	gelb
7	rot	rot

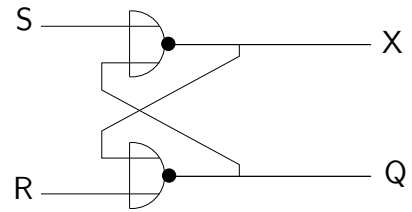
Eine mit einer 1 gekennzeichnete Kante im obigen Graphen verweist auf den Folgezustand des aktuellen Zustands, falls die Ampel im Tagmodus arbeitet, eine mit einer 0 gekennzeichnete Kante entsprechend auf den Folgezustand des aktuellen Zustands, falls die Ampel im Nachtmodus arbeitet. Der Zustand 0 ist der Startzustand.

Ihre Aufgabe ist es nun, eine Schaltung zur Realisierung der o.a. Ampelsteuerung zu entwickeln. Die Schaltung erhält als Eingabe eine 1, falls die Ampel im Tagmodus arbeitet und eine 0, falls sie im Nachtmodus arbeitet. Die Ausgabe der Schaltung ist die binärcodierte Nummer des Folgezustands.

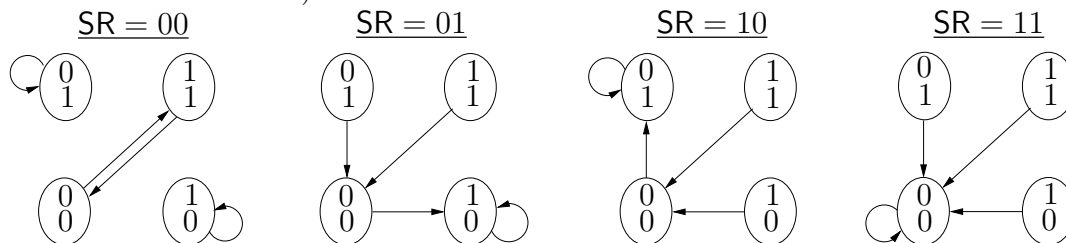
- Geben Sie zunächst geeignete Boolesche Funktionen (inkl. Funktionstabelle) in DNF zur Realisierung der o.a. Ampelsteuerung an.
- Vereinfachen Sie die in Aufgabenteil a) ermittelten Booleschen Funktionen mit Hilfe des Karnaugh-Verfahrens.
- Zeichnen Sie das Schaltwerk für die von Ihnen entwickelte Ampelsteuerung. Dabei dürfen nur UND- und ODER-Gatter mit maximal zwei Eingängen sowie Inverter und Delays verwendet werden. Berücksichtigen Sie, dass Sie u.U. Gemeinsamkeiten der vereinfachten Booleschen Funktionen aus Aufgabenteil b) ausnutzen können. Desweiteren können Sie aus Vereinfachungsgründen davon ausgehen, dass die Taktlängen zwischen den einzelnen Zustandsübergängen (im Gegensatz zu einer realen Ampelanlage) immer gleich lang sind.

Aufgabe 4: Funktionsweise NOR-Latches

Die Funktionsweise des in der Vorlesung vorgestellten NOR-Latches lässt sich wie in untenstehender Abbildung dargestellt durch vier Diagramme beschreiben. In jedem der Graphen werden die vier möglichen Kombinationen an den beiden Ausgängen X und Q durch die vier Knoten $\begin{pmatrix} X \\ Q \end{pmatrix}$ repräsentiert. Die Kanten repräsentieren, wie sich die Ausgänge durch genau einmaliges Schalten der beiden NOR-Gatter ändern.



Zum Beispiel geht, wenn $S = 1$ und $R = 0$ ist, der Zustand $\begin{pmatrix} 1 \\ 1 \end{pmatrix}$ nicht unmittelbar in den Zustand $\begin{pmatrix} 0 \\ 1 \end{pmatrix}$ über, sondern zuerst in den Zustand $\begin{pmatrix} 0 \\ 0 \end{pmatrix}$, und erst dann in den Zustand $\begin{pmatrix} 0 \\ 1 \end{pmatrix}$ (der sich dann nicht mehr ändert).¹



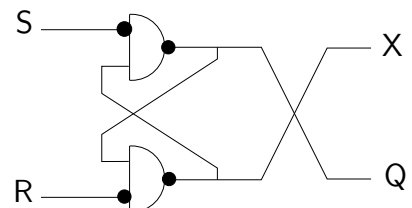
a) Zeichnen Sie entsprechende Diagramme für ein

- „AND-Latch“
- „NAND-Latch“
- „XOR-Latch“

(d.h., ersetzen Sie beide NORs im Latch entsprechend durch ANDs, NANDs, XORs).

Ein NOR-Latch kann zur Speicherung genau eines Bits verwendet werden. Diese Funktionalität lässt sich an den vier Diagrammen direkt ablesen. Bei $S = 1$ und $R = 0$ gelangt man stets in den stabilen Zustand $\begin{pmatrix} 0 \\ 1 \end{pmatrix}$, d.h.: Speicher auf 1 setzen. Bei $S = 0$ und $R = 1$ gelangt man stets in den stabilen Zustand $\begin{pmatrix} 1 \\ 0 \end{pmatrix}$, d.h.: Speicher auf 0 setzen. Für $S = 0$ und $R = 0$ werden die stabilen Zustände $\begin{pmatrix} 0 \\ 1 \end{pmatrix}$ bzw. $\begin{pmatrix} 1 \\ 0 \end{pmatrix}$ gehalten, d.h.: Speicher hält 1 bzw. 0. Alle anderen Fälle (insbesondere für $S = 1$ und $R = 1$) bringen keine weitere Funktionalität und können als Don't-Care-Fälle angesehen werden.

- b) Geben Sie für jedes in Aufgabenteil a) behandelte „Latch“ eine entsprechende Beschreibung und begründen Sie, ob diese Schaltung als 1-Bit-Speicherbaustein dienen könnte oder nicht.
- c) Zeichnen Sie die Zustandsdiagramme für die Schaltung aus der nebenstehenden Abbildung und vergleichen Sie deren Funktionalität mit der Funktionalität des NOR-Latches.



¹Hier wird von der idealisierten Annahme ausgegangen, dass die beiden Gatter immer synchron schalten.

Aufgabe 5: (★) Funktionsweise OR-Latches

a) Zeichnen Sie entsprechende Diagramme wie aus Aufgabe 4 für ein

„OR-Latch“

(d.h., ersetzen Sie beide NORs aus Aufgabe 5 im Latch entsprechend durch ORs).

b) Geben Sie für das in Aufgabenteil a) behandelte „Latch“ eine entsprechende Beschreibung und begründen Sie, ob diese Schaltung als 1-Bit-Speicherbaustein dienen könnte oder nicht.

Aufgabe 6: (★) Darstellung von Zahlen

Im folgenden sei die Wortlänge gleich 8 (d. h.: es wird mit Bytes gearbeitet).

- i) Wie ist die Darstellung von -50 im Zweier-Komplement?
- ii) Wie ist die Darstellung von -62 im Einer-Komplement?
- iii) Wie ist die Darstellung von $+44$ im Einer-Komplement?
- iv) Berechnen Sie $76 - 44$ im Einer-Komplement.
- v) Berechnen Sie $116 - 29$ im Zweier-Komplement.
- vi) Welche Zahl wird durch 183 im Zweier-Komplement dargestellt?
- vii) Welche Zahl wird durch 186 im Einer-Komplement dargestellt?
- viii) Berechnen Sie $44 - 76$ im Zweier-Komplement.
- ix) Berechnen Sie $-116 + 29$ im Einer-Komplement.
- x) Berechnen Sie $-35 - (-100)$ im Zweier-Komplement.
- xi) Berechnen Sie $-18 - (-100)$ im Einer-Komplement.
- xii) Wie ist die Darstellung von -88 im Einer-Komplement?
- xiii) Wie ist die Darstellung von -45 im Zweier-Komplement?
- xiv) Berechnen Sie $-47 - 16$ im Zweier-Komplement.
- xv) Berechnen Sie $+9142 + 1987$ im BCD-Code.
- xvi) Berechnen Sie $+123 - 65$ im BCD-Code.